

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111872

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247  
29/788  
29/792  
27/115

H 0 1 L 29/78 3 7 1  
27/10 4 3 4

審査請求 未請求 請求項の数24 O L (全 12 頁)

(21) 出願番号 特願平10-217854

(22) 出願日 平成10年(1998) 7月31日

(31) 優先権主張番号 08/903608

(32) 優先日 1997年7月31日

(33) 優先権主張国 米国 (US)

(71) 出願人 591236448

エスティーマイクロエレクトロニクス、イ  
ンコーポレイテッド

SGS-THOMSON MICROEL  
ECTRONICS, INCORPOR  
ATED

アメリカ合衆国、 テキサス 75006,  
カーロルトン、 エレクトロニクス ドラ  
イブ 1310

(72) 発明者 ツィウ チュー チャン

アメリカ合衆国、 テキサス 75006,  
カーロルトン、 カメロ ドライブ 1633

(74) 代理人 弁理士 小橋 一男 (外1名)

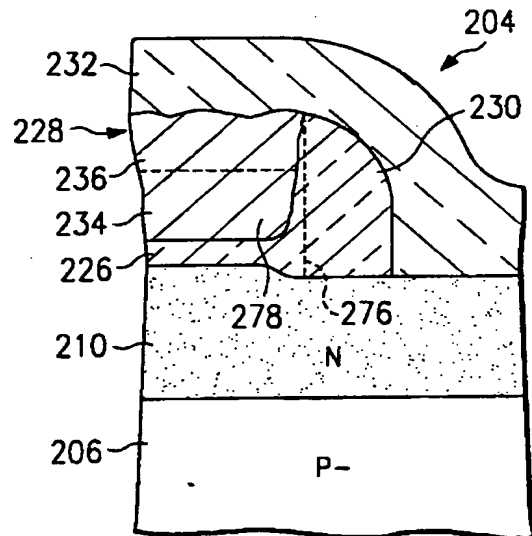
最終頁に続く

(54) 【発明の名称】 EEPROMセル構成体及び製造方法

(57) 【要約】

【課題】 トンネル酸化膜の端部であってポリシリコン  
コンデンサプレートの端部下側の酸化膜厚さを増加させ  
て絶縁性の完全性を改善させたEEPROMメモリセル  
及びその製造方法を提供する。

【解決手段】 シリサイド化ポリシリコンプロセスを使  
用する場合には、シリサイドが酸化性雰囲気において過剰に露  
呈させることを防止するために200Å乃至500Åの  
厚さの多孔性酸化膜を付着形成した後に装置を短期間の  
酸化ステップに露呈させることによりポリシリコンコン  
デンサプレートの角部におけるシリコン及び下側に存在  
する基板表面を再酸化させることによりトンネル酸化膜  
の端部における酸化物を一層厚くさせる。別の実施形態  
においては、ゲート酸化物層における窓内においてトン  
ネル酸化膜を成長させ、その厚さをトンネル酸化膜より  
も約4倍厚いものとさせ、従ってゲート酸化膜がトンネ  
ル酸化膜を完全に取囲み、且つポリシリコンコンデンサ  
プレートがトンネル酸化膜の端部を超えて延在しゲート  
酸化膜上方の点において終端させる。



1

## 【特許請求の範囲】

【請求項 1】 半導体集積回路装置の回路要素における酸化物絶縁層の端部において改良した誘電体の完全性を与える方法において、

前記回路要素の第一導電性部分を画定する上表面領域を具備する基板を用意し、

前記基板の前記上表面領域上に前記酸化物絶縁層を形成し、前記酸化物絶縁層は様な厚さの内部部分及び該様な厚さよりも一層大きな厚さの酸化物端部部分を具備しており、少なくとも前記酸化物端部部分が前記基板の  
10 前記第一導電性部分の上側に存在しており、

前記内部部分の上側に存在する前記酸化物絶縁層及び前記酸化物端部部分の上にポリシリコン層を形成し、

前記ポリシリコン層の上にタンタルシリサイド層を形成して複合シリサイド化ポリシリコン層を与え、前記タンタルシリサイド層におけるシリコン対タンタルの比は少なくとも約 2.6 であり、前記シリサイド化ポリシリコン層は前記酸化物端部部分上方に並置されている導電性端部部分を具備しており、前記シリサイド化ポリシリコン層は前記回路要素の第二導電性部分を画定しており、  
20 前記導電性端部部分は前記導電性端部部分の底部及び側部表面によって画定される下側角部を具備しており、前記酸化物端部部分及び前記導電性端部部分に当接して側壁酸化物スペーサを形成する、上記各ステップを有しており、前記導電性端部部分の下側角部が前記基板の下側に存在する導電性上表面領域から絶縁されており且つ前記酸化物絶縁層の内部部分の様な厚さよりも一層大きい中間の酸化物厚さだけ前記下側に存在する導電性上表面領域から隔離されていることを特徴とする方法。

【請求項 2】 請求項 1 において、前記回路要素が E E  
30 PROM メモリセルのコンデンサであることを特徴とする方法。

【請求項 3】 請求項 1 において、前記酸化物端部部分が前記ポリシリコン下側角部下側に並置されている前記基板の上表面領域及びその下側角部の近傍において前記ポリシリコン層を酸化させることによって形成され、前記酸化ステップの前に前記シリサイド化ポリシリコン層上の保護層として多孔性酸化物層を付着形成させることを特徴とする方法。

【請求項 4】 請求項 1 において、前記酸化物端部部分  
40 が前記様な厚さの内部部分よりも数倍厚い酸化物の棚であり、前記棚が前記内部部分を成長させるステップに先行するステップにおいて成長された酸化物層の一部であることを特徴とする方法。

【請求項 5】 集積回路装置の製造方法において、回路要素を画定するための上表面を持った半導体基板を用意し、

前記基板上に分離させた活性区域を形成し、

少なくとも部分的にコンデンサ誘電体として使用するための酸化物層を成長させ、

2

前記装置上及び前記誘電体酸化物層の上に金属ポリシリコン層を付着形成し、

前記ポリシリコン層の上にシリサイド層を付着形成して複合シリサイド化ポリシリコン層を形成し、

前記シリサイド化ポリシリコン層の一部を選択的にエッチングしてパターンを画定し且つそれに付随して前記誘電体酸化物層の端部部分を貫通して切断し、前記端部部分は前記シリサイド化ポリシリコン層の端部部分と実質的に垂直方向に整合しており且つ前記整合した端部部分  
10 において誘電体酸化物上側角部と合流する下側ポリシリコン角部を画定しており、

多孔性酸化物層を付着形成し、

前記装置を短期間の間酸化性雰囲気中に露呈させて前記下側ポリシリコン角部におけるシリコン及び前記基板の反対側の上表面上のシリコンを包含する前記多孔性酸化物層下側のシリコンを酸化させる、上記各ステップを有することを特徴とする方法。

【請求項 6】 請求項 5 において、前記金属シリサイド層がタンタルシリサイドであることを特徴とする方法。

【請求項 7】 請求項 6 において、前記タンタルシリサイドが約 2.5 乃至約 2.7 の範囲内のシリコン対タンタル比を有していることを特徴とする方法。

【請求項 8】 請求項 7 において、前記タンタルシリサイドが約 2.6 のシリコン対タンタル比を有していることを特徴とする方法。

【請求項 9】 請求項 5 において、前記多孔性酸化物層を約 200 Å 乃至約 500 Å の厚さへ付着形成させることを特徴とする方法。

【請求項 10】 請求項 9 において、前記多孔性酸化物層を約 400℃ と 500℃ との間の温度において付着形成させることを特徴とする方法。

【請求項 11】 請求項 9 において、前記装置を短期間の間酸化性雰囲気へ露呈させるステップが、生の軽度にドーブしたウエハ上に約 200 Å 酸化物を成長させるのに十分なものであることを特徴とする方法。

【請求項 12】 セルの箇所が 1 つの行と 1 つの列との各交差部において画定されている行と列との形態で配列されている複数個の非揮発性メモリセルを具備する集積回路装置の製造方法において、

第一導電型の半導体基板を用意し、

厚い酸化物層の端部間に活性区域を画定するパターンで前記基板の上表面上に厚い酸化物層を形成し、

各セルの箇所において活性区域の選択した部分内にドーパントを導入させて前記基板の表面下側の深さへ延在する第二導電側の第一コンデンサプレート画定し、前記活性区域内及び前記第一コンデンサプレートの上に薄い酸化物層を成長させ、

各第一コンデンサプレートの上方で前記薄い酸化物層を貫通して窓をエッチング形成し、

50 各窓内に極めて薄いトンネル酸化物層を成長させ、

## 3

前記酸化物層の上側に存在する前記装置上に導電層を形成し、

前記導電層の一部を選択的に除去して各セル箇所における所定箇所に一部を残存させて対応する第一コンデンサプレートの上側に第二コンデンサプレートを画定し、前記第二コンデンサプレートは前記極めて薄いトンネル酸化物層を完全に被覆し且つ前記極めて薄いトンネル酸化物層の端部を超えて横方向に延在して前記薄い酸化物層の上側に存在する肩部を画定し、前記肩部は前記極めて薄いトンネル酸化物層を完全に取囲んでおり、それにより前記第一及び第二コンデンサプレートとそれらの間の極めて薄いトンネル酸化物層とによって各セル箇所においてトンネル動作用コンデンサを画定させる、上記各ステップを有することを特徴とする方法。

【請求項 13】 請求項 12 において、前記導電層が、前記酸化物層の上にポリシリコン層を付着形成し、前記ポリシリコン層の上にタンタルシリサイド層を付着形成して前記シリサイド化ポリシリコン層を形成し、前記シリサイド化ポリシリコン層及び下側に存在する薄い酸化物層を貫通してパターンを異方性エッチングして活性区域部分を露出させ、前記活性区域の露出部分内に第二導電型のドーパントを導入してトランジスタソース領域及びドレイン領域を画定し、各セル箇所においてフローティングゲートトランジスタを形成し、前記フローティングゲートトランジスタのフローティングゲート及び前記トンネル動作用コンデンサの第二コンデンサプレートが前記シリサイド化ポリシリコン層の共通の一体的部分からの延長部である、ことによって形成されたシリサイド化ポリシリコン層であることを特徴とする方法。

【請求項 14】 請求項 13 において、前記異方性エッチングステップが前記薄い酸化物層をエッチングして前記第二コンデンサプレートの肩部の形状に適合した前記薄い酸化物層の実質的に環状の棚部を形成し、前記環状棚部の内側端部が前記極めて薄いトンネル酸化物層の周辺端部と当接していることを特徴とする方法。

【請求項 15】 請求項 13 において、前記極めて薄いトンネル酸化物が 100 Å の厚さ未満に成長されることを特徴とする方法。

【請求項 16】 請求項 15 において、前記極めて薄いトンネル酸化物が約 65 Å 乃至 70 Å であり且つ前記薄い酸化物層が前記極めて薄いトンネル酸化物の厚さの約 4 倍であることを特徴とする方法。

【請求項 17】 請求項 12 において、前記第一導電型が P 型であり且つ第二導電型が N 型であることを特徴とする方法。

【請求項 18】 請求項 12 において、前記厚い酸化物層が L O C O S フィールド酸化物層であることを特徴とする方法。

## 4

【請求項 19】 請求項 12 において、前記第一コンデンサプレートの深さが約 0.4 ミクロンであることを特徴とする方法。

【請求項 20】 請求項 12 において、前記導電層の選択的除去が前記第二コンデンサプレートの端部を画定し且つ前記薄い酸化物層を貫通して切断し前記極めて薄いトンネル酸化物層を取囲む薄い酸化物の環状棚部を画定する異方性エッチングステップによって実行されることを特徴とする方法。

10 【請求項 21】 請求項 20 において、前記異方性エッチングステップに続いて前記第二コンデンサプレートの端部に側壁酸化物スペーサを形成する酸化物付着形成ステップを行ない、前記側壁酸化物スペーサが前記異方性エッチングステップによって切断された前記コンデンサプレート及び薄い酸化物層の垂直方向に整合した端部と当接する内側端部を有していることを特徴とする方法。

【請求項 22】 行及び列の形態で配列されている複数の非揮発性メモリセルを具備する集積回路装置において、各メモリセルが、

20 その中に分離された N 型領域と共に主要な P 型領域が形成されており且つその上に絶縁体層及び導電体層が形成されている半導体基板、

前記基板の上に配設されており且つフローティングゲートと制御ゲートとを具備するフローティングゲートトランジスタ、

前記フローティングゲートトランジスタ近くにおいて前記基板上に配設されているトンネル動作用コンデンサであって、前記基板の N 型領域の上側に存在する極めて薄いトンネル酸化物層を具備しており前記トンネル酸化物層が前記トンネル酸化物層よりも数倍厚さが厚い薄い酸化物棚部内に完全に閉込められているトンネル動作用コンデンサ、

前記トンネル動作用コンデンサと直接に接続しているバイアス用コンデンサ、を有しており、前記フローティングゲートトランジスタのフローティングゲートが前記トンネル動作用コンデンサ及び前記バイアス用コンデンサの共通のコンデンサプレートを形成しており、前記コンデンサプレートが前記トンネル酸化物層の上側及び周りの薄い酸化物棚部の隣接した部分の上側に存在していることを特徴とする集積回路装置。

40 【請求項 23】 請求項 22 において、前記バイアス用コンデンサが前記基板の N 型領域によって画定されている第二コンデンサプレートを有していることを特徴とする集積回路装置。

【請求項 24】 請求項 22 において、前記共通のコンデンサプレートが前記基板上方の第一導電性レベルにおけるポリシリコン層の一部を有しており、且つ前記基板上方の第二導電性レベルにおけるシリサイド化ポリシリコン層を有しており、前記シリサイド化ポリシリコン層が前記バイアス用コンデンサの第二コンデンサプレート

5

を画定する一部を有していることを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、極めて薄い酸化物層を有するMOS装置を製造する方法に関するものであって、更に詳細には、EEPROM構成体及びその製造方法に関するものである。

【0002】

【従来の技術】電気的に消去可能な書込可能なリードオンリメモリ（EEPROM）は、個々のセル内にデータのビットを格納するためにフローティングゲートを使用する非揮発性メモリ装置である。各メモリセル位置において、「トンネル酸化膜」と呼ばれる極めて薄い酸化物層が下側に存在する基板からフローティングゲートを分離させている。メモリセルをプログラム即ち書込むために、通常の動作電圧を超える電圧がフローティングゲートに対して容量的に結合されている制御ゲートへ印加されて、公知のファウラー・ノルトハイム原理に従って、基板からトンネル酸化膜に対してフローティングゲートへ電子をトンネル動作させる。トンネル動作を行なう電子はトンネル酸化膜へ印加されている非常に高い電界の存在下において発生する。トンネル酸化膜は非常に薄く且つこのように高い電界が印加されるので、その誘電体完全性は重要な設計考慮事項である。

【0003】初期のEEPROMメモリセルの一例は米国特許第4,203,158号において記載されており、その場合には、高い密度の集積回路（IC）メモリの製造を容易とするためにスタックトゲート即ち積層型ゲート構成が使用されている。スタックトゲート即ち積層型ゲートを製造するために二層の多結晶シリコン（ポリシリコン）を使用している。各メモリセルにおいて、第一レベルポリシリコン層がフローティングゲートを画定し且つ第二レベルポリシリコン層が制御ゲートを画定する。このようなメモリセルに対する等価回路を図1に示してあり、それを大略参照番号10で示してある。

【0004】図1のメモリセル10はその格納したデータビットを列ビット線12を介して外界へ伝達させる。選択トランジスタ14とフローティングゲートトランジスタ16との直列接続がビット線12と電圧供給源又は接地線18との間に設けられている。選択トランジスタ14のドレインDはビット線12へ接続している。トランジスタ14のソースSはフローティングゲートトランジスタ16のドレインDへ接続している。トランジスタ16のソースSは接地線18へ接続している。トランジスタ14は、そのゲート20が行選択即ち「ワード」線22によって制御される。トランジスタ16はフローティングゲート24と制御ゲート26とを有している。プログラム（書込）選択線28が制御ゲート26へ接続している。セル10内に第一二進論理レベルを格納するた

6

めに、高プログラミング電圧（例えば、+20V）をワード線22及びプログラム線28へ印加し、一方ビット線18及び供給線18を接地に保持する。容量結合によって、十分に高い電圧がフローティングゲート24上に表われてトランジスタ16のドレインDからフローティングゲート24へ電子をトンネル動作させ、フローティングゲート24を負に帯電した状態とさせる。このことはトランジスタ16をして読取動作期間中にそれをオフ状態に維持するのに十分に高いスレッショールド電圧を有することとさせる。メモリセル10内に第二の二進論理レベルを格納するためにプログラム線28を接地させ一方高プログラミング電圧をビット線12及びワード線22へ印加し、供給線18をフローティング状態とさせる。このことはフローティングゲート24からトランジスタ16のドレインDへ電子をトンネル動作させ、フローティングゲート24を放電させ且つ多分それを多少正味正に帯電した状態とさせる。この状態においてトランジスタ16はそれが読取動作期間中オンであるようなスレッショールド電圧を有する。当業者によって理解されるように、読取はワード線22及びプログラム線28へ通常の動作電圧（例えば、+5V）を印加させ、次いでトランジスタ16がオンであるかオフであるかを検知することによって達成される。

【0005】EEPROMメモリはディスクリートな集積回路装置か又はより複雑な集積回路装置のコンポーネントとして製造することが可能である。EEPROMメモリがより複雑な集積回路装置の比較的小さな一部として設けられている場合には、各個別的なメモリセルに対するチップ面積の割当ては高密度のディスクリートなEEPROMほど臨界的なものではない。従って、EEPROMがより複雑な集積回路装置の一部である場合には、前述した特許のスタック型即ち積層型の二層構成ではなく単一のポリシリコン層を使用してレイアウトさせることが可能である。このような単層構成に必要な僅かな付加的な面積は集積回路装置の寸法に認知しうような効果を与えるものではない。何故ならば、その他の回路がチップ面積の殆どを占有しているからである。単層ポリシリコン技術とすることによって得られる製造プロセスの単純化は装置のEEPROM部分によって占有される僅かな付加的なチップ面積を補償して余りあるものである。

【0006】単層ポリシリコン技術を使用したEEPROMメモリセルに対する従来のレイアウトを図2に示してあり、その場合に該メモリセルは大略参照番号100で示してある。メモリセル100の一部にわたっての断面を図3に示してある。この断面はフローティングゲートトランジスタ102及びトンネル動作コンデンサ104の断面をとったものである。図4はトンネル用コンデンサ104の一端部における図3の一部の拡大図である。

7

【0007】特に図3を参照すると、この装置はP-基板106上に形成されている。該装置の多数の活性区域のうちの1つが典型的に従来のLOCOS（シリコン局所酸化）プロセスによって形成されている厚いフィールド酸化膜108内に画定して示されている。該活性区域は選択的にN型不純物でドーピングされており、トランジスタ領域とコンデンサプレートとを形成している。特に、比較的深いN型領域110がトンネル動作用コンデンサ104の下側コンデンサプレートを画定している。領域110の接合深さは典型的に0.4ミクロンである。中間の深さ（例えば、約0.2ミクロン）における隣接するN型領域112はフローティングゲートトランジスタ102のドレインを画定している。別の中間深さのN型領域114がフローティングゲートトランジスタのソースを画定している。浅いN型延長部116は従来の軽度ドーピングしたドレイン（LDD）プロセスによって形成されたものであり、且つそれらの間にトランジスタ102のチャンネル118を画定している。フローティングゲートトランジスタ102は基板106の上方において薄いゲート酸化膜120、ゲート122、側壁酸化物スペーサ124を有する構成体を有している。同様に、トンネル動作用コンデンサ104は基板106の上方に極めて薄いトンネル酸化物126、上側コンデンサプレート128、側壁酸化物スペーサ130を有する構成体を有している。該構成体全体の上側に存在しており且つそれをパッシベーションするリフローさせた複合ガラス層132が設けられており、それは、典型的に、ドーピングしていないSiO<sub>2</sub>下側部分とドーピングしたSiO<sub>2</sub>上側部分とを有している（それらは図面中においては別々に示してはいない）。

【0008】特に図4を参照すると、上側コンデンサプレート128は下側N型ポリシリコン層134と上側 tantalum シリサイド（TaSi<sub>2</sub>）層136を有している。TaSi<sub>2</sub>層は、従来の付着形成技術によって形成されており、且つ該装置において使用される導電線の導電度を増加させるために設けられている。集積回路装置の種々のトランジスタのゲートは同一の tantalum シリサイド/ポリシリコン構造を有している。タantalum以外の耐火性金属を使用するシリサイドは当該技術分野において公知であり、例えば、ポリシリコン層の上に耐火性金属のシリサイドを使用する場合を包含しており、それは、以後、「シリサイド化ポリシリコン」として呼ぶこととする。種々の層の厚さは縮尺通りに描いたものではないが、大略、本構成体の要素の形状及び位置を示している。トンネル酸化膜126は極めて薄い、典型的に、約65Å乃至70Åの厚さに過ぎない。シリサイド化ポリシリコン層128は、典型的に、約3500Åの厚さである。その構成要素としての層134及び136は夫々約2000Å及び1500Åの厚さである。ガラス層132の厚さは典型的に約8000Åである。

8

【0009】再度図2を参照すると、第一シリサイド化ポリシリコン層は比較的大きな矩形部分140と、該大きな部分140から延在している幅狭のフィンガ142及び144とを有している。比較的大きな矩形部分140は完全にドーピングされているN型の活性区域146の上側に存在している。ドーピングされている活性区域146はメモリセル100及び同一の行内の同様のメモリセル（不図示）に対するプログラム線として作用する。第一シリサイド化ポリシリコン層の大きな矩形部分140下側のプログラム線146の部分はフローティングゲートトランジスタ102の制御ゲートとして作用する。フィンガ142はフローティングゲートトランジスタ102のフローティングゲートを画定している。フィンガ144はトンネル動作用コンデンサ104の上側コンデンサプレートを画定している。理解されるように、シリサイド化ポリシリコン部分140及びプログラム線146の下側に存在する部分は、それらの間の酸化物層と共に、トンネル動作用コンデンサ104と直列接続されているバイアス用コンデンサ148を画定しており、メモリセル100のプログラミング即ち書込期間中に、電子をトンネル動作させるのに十分な電圧をトンネル動作用コンデンサへ印加させることを可能としている。

【0010】別の活性区域150は3個の別々のN型ドーピング領域152、154、156を有している。図2におけるN型領域の位置は陰線によって示してある。領域152は図3のソース領域114及び隣接するLDD領域116に対応している。領域154は図3のコンデンサプレート領域110、ドレイン領域112、隣接するLDD領域116に対応している。

【0011】更に図2を参照すると、第二シリサイド化ポリシリコン層158がN型領域152の上側に存在しており且つ選択トランジスタ160を画定しており、そこで、それはN型領域154と156との間の活性区域150と交差している。ポリシリコン層158は1行のメモリセルに対するワード線を画定している。途中で破断して示してある第一金属線162が同一の列内のメモリセル100及び同様のメモリセル（不図示）を介して走行しており、該列のメモリセルに対する電圧供給源を与えている。金属線162は通常接地電圧にあるが、プログラミング期間中に必要とされる場合には接地から切断させることが可能である。金属供給線162とN型領域152の延長部164との間の接続はコンタクト箇所166においてなされている。第二金属線168も途中で破断して示してあり、メモリセル100及び同一の列内の同様のメモリセルを介して走行しており、このような列のメモリセルに対するビット線として作用する。金属ビット線168とN型領域156との間の接続はコンタクト箇所170においてなされている。

【0012】図5は対応する構成要素を示すために適用可能である場合には同一の参照番号を使用して、図2の

9

物理的レイアウトに対するものとはほぼ同一の位置に配列されている回路要素及び導電線を有するメモリセル100に対する回路図を示している。この回路は図1のメモリセル10の動作と同様の態様でメモリセル100の論理状態をプログラム即ち書込を行なうためにフローティングゲート142を充電及び放電することにより動作を行なう。

【0013】図2及び5を参照すると、比較的高いプログラミング電圧（この場合には約+14V）がワード線158及びプログラム線146へ印加され、一方ビット線168及び供給線162は接地に維持される。該高いプログラミング電圧の約2/3はトンネル動作用コンデンサ104を横断しての容量結合によって表われ、その下側のプレート（即ち、領域154）からその上側のプレート（即ちフィンガ144）へ電子をトンネル動作させる。勿論、このことはシリサイド化ポリシリコン層140/142/144全体を負に帯電させ、従ってフローティングゲートトランジスタ102は読取動作期間中にオフ状態に留まる。トンネル動作用コンデンサ104上の電荷を逆にさせるためには、プログラム線146を接地させ、一方高プログラミング電圧をビット線168及びワード線158へ印加し、ソース線162をフローティング状態とさせる。読取動作は、通常動作電圧（例えば+5V）をワード線158へ印加し（トランジスタ160をターンオンさせるため）及びプログラム線146へ印加させ、次いでビット線168の一端において従来の検知回路（不図示）によってトランジスタ102がオンであるか又はオフであるかを検知することによって行なわれる。

【0014】再度図4を参照すると、極めて薄いトンネル酸化膜126がプログラミングモードにおいて非常に高い電界を受けることが理解される。いずれの方向においても、約70Åに過ぎない酸化物が約10Vを支持するために使用されている。上側コンデンサプレート128上に殆ど10Vが印加されると、電子は接地電圧に維持されている下側コンデンサプレート110から酸化物層126を介してトンネル動作する。プログラミングのために必要とされる高い電界はその最も弱い点においてトンネル酸化膜126を介して誘電破壊を発生させようとする。トンネル酸化膜126の端部における点線176は誘電破壊が発生する可能性のある場所であり且つその点において短絡が発生する可能性がある。点線176は熱的に成長された酸化物層126と側壁酸化物スペーサ130を形成するために使用した付着形成した酸化物層との間の界面を表わしている。更に、上側コンデンサプレート128の下側の角ばった角部178はその点において高い電界集中を発生させる。この高い電界集中は該酸化物の誘電体完全性が弱い箇所、即ち界面176において発生する。

【0015】この弱い界面176と角ばった角部178

10

の一致は使用される従来の処理ステップのために発生するものである。再度図2及び3を参照すると、フィールド酸化膜108は活性区域を画定するために形成される。それに続いて、従来のマスクを使用して中程度のドーズのN型イオン注入を行ない、活性区域146全体と、トンネル動作用コンデンサ104の箇所における活性区域150の一部（即ち、図3における領域110を形成している）及び後に形成される場合にワード線158がそれを横断して存在する領域152の一部を選択的にドーピングさせる。次いで、後にトランジスタ102及び160のゲート酸化膜を画定する酸化物層を活性区域146及び150において約250Åの厚さへ成長させる。活性区域146においては、この酸化物層は、大きな矩形のシリサイド化ポリシリコン部分140と活性区域146の下側に存在する部分とによって画定されるバイアス用コンデンサ148の誘電体を形成する。

【0016】この点において、トンネル酸化膜126が形成される。従来のホトレジストマスクを使用して図2における点線のボックス180によって示したように、矩形の開口をエッチング形成することが従来なされていた。次いで、該エッチステップ及びホトレジスト除去の後に、熱酸化物層をボックス180内の区域内に約65Å乃至70Åの厚さへ成長させる。このような酸化ステップ期間中に、トランジスタ102及び160のゲート酸化膜及びバイアス用コンデンサ148の誘電体酸化膜は約260Åへ、即ちトンネル酸化膜厚さの約4倍の厚さへ厚さを増加し、それはバイアス用コンデンサ148とトンネル動作用コンデンサ104の相対的な容量を決定する場合のファクタである。

【0017】次いで一連の従来の処理ステップが行なわれ、その場合に前述したシリサイド化ポリシリコン層が形成される。次いで、LDDイオン注入、側壁酸化物形成、ソース/ドレインイオン注入が継続して行なわれる。図4を参照すると、シリサイド化ポリシリコンパターンを画定する場合に、ポリシリコン層134の角ばった角部178とトンネル酸化物層126の垂直端部176の両方を発生させる異方性エッチングを包含している。理解されるように、酸化物層126と130との間の界面176は比較的絶縁破壊が起き易いものである。

【0018】プロセスの中間段階において再酸化ステップを行なうことによって誘電体の完全性を改善するために等方性エッチング（即ち、「ウエットエッチング」）技術によって発生されるゲートのアンダーカットがアンダーカットの箇所において充填することが可能であることが20年来理解されていた。この技術は米国特許第4,553,314号において記載されており、それはアンダーカットされたゲートによって発生されるゲート短絡問題を除去する上で極めて有効なものであった。然しながら、処理技術が発展するに従い、再酸化処理は重要性が薄くなり且つある場合においては実際的なもので

はなくなっていた。標準的な製造プロセスとして異方性エッチング（即ち「ドライエッチング」）技術が導入されたので、歩留まり及び信頼性問題の発生源としてのゲートのアンダーカットは実質的に除去されることとなった。更に種々の金属シリサイド形成技術が導入されて、再酸化処理を使用することを阻害することとなった。シリサイド層内のシリコンが従来の熱酸化プロセスにおいて使用される高温における酸素と反応する場合には、処理上の不規則性が発生する場合がある。

【0019】このような問題のために、金属シリサイド／ポリシリコン層を使用するプロセスにおいて再酸化を実施することは困難なものとなっている。金属シリサイドを形成する場合に耐火性金属であるタンタル、チタン、モリブデン及びタングステンを使用することは当該技術分野において公知である。この点に関しては、例えば、米国特許第4,505,027号を参照すると良い。タンタルジシリサイド(TaSi<sub>2</sub>)は従来の相補的金属・酸化物・半導体(CMOS)装置においてゲート構成体を製造するために下側に存在するポリシリコン層と共に使用される一般的な金属シリサイドである。例えば、米国特許第4,640,844号を参照すると良い。タンタルシリサイド層を形成した後に再酸化を成功裡に実施させるためには、シリサイド層内にタンタルジシリサイド化学量論比を超えるシリコンを与えねばならない。米国特許第4,505,027号の4欄49-54行を参照すると良い。

【0020】実験によれば、タンタルシリサイド層の組成においてSi対Taの比を極めて厳密に制御することが必要であることが分かった。Si対Taの比は2.45乃至2.50の範囲内に維持されねばならないことが判明した。タンタルシリサイド層はTaSi<sub>2</sub>及び元素Si微結晶の組成である。Si対Taの比が2.45以下に維持される場合には、再酸化ステップは、タンタルシリコン層内の使用可能なシリコンがSiO<sub>2</sub>を形成するので、ポリシリコン層からのシリコンをタンタルシリサイド層内に引き込ませる。このことはポリシリコン層内のランダムな位置において「ディッチング(ditching)」現象を発生し、あるトランジスタが動作的に機能しない点にまでスレッショールド電圧が増加されることとなる。Si対Taの比が2.50を超えて維持される場合には、再酸化ステップがタンタルシリサイドから主にシリコンからなる塊又は「ウィスカ」を抽出させ、ある場合には、基板表面と接触し且つ短絡回路を発生させることとなる。然しながら、Si対Taの比を2.45乃至2.50の範囲内に極めて厳密に維持し且つ再酸化ステップを非常に短い期間とさせることにより、機能的な装置を得ることが可能である。それにも拘らず、このように必要とされる厳しいトリランス即ち許容値は、許容可能な歩留まりを達成することが可能であるように一貫性をもって実施することは困難である。

【0021】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良した集積回路装置及びその製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の主要な目的によれば、厚さを増加させた酸化物層をシリサイド化ポリシリコン層の外側端部と下側に存在する基板との間に設けて半導体装置内の種々の位置において極めて薄い酸化物絶縁層を使用する半導体装置の誘電体完全性を改善させている。

【0023】本発明の別の目的によれば、シリサイド化ポリシリコン層の尖った角部をシリサイドを酸化性雰囲気に露呈させることを保護している多孔の付着形成した酸化物層を介して酸化させ、それによりポリシリコン角部における電界集中を減少させた構造を形成し且つ半導体装置の動作期間中に下側に存在する極めて薄い酸化物層における誘電破壊即ち絶縁破壊を防止している。

【0024】本発明の更に別の目的によれば、より厚い酸化物層によって取囲まれている極めて薄いトンネル酸化物層を具備する非揮発性メモリセルが構成され、該より厚い酸化物層は該メモリセルのトンネル動作コンデンサのコンデンサプレートに対する環状の柵部を与えており、それにより装置の動作期間中においてトンネル酸化膜における電界集中を減少させる構成を与えている。

【0025】

【発明の実施の形態】改良した半導体装置構成体が、本発明のプロセスに従って製造されたEEPROMメモリセルにおける位置において図6に示されている。図6の構成体は図4に示した従来装置の部分と類似しており、対応する構成要素には同様の参照番号を付してある。図6は、ポリシリコン層234の下側角部278がその従来技術の対応するものと比較してより丸められていることを示している。丸められた角部278は、更に、下側に存在するN型領域210の上表面から僅かに更に遠ざけられている。又、丸められている角部278は側壁酸化物スペーサ230の境界276から僅かに横方向に変位されている。トンネル酸化物層226の端部におけるこれらの構造的な特徴はポリシリコン層234のシリコンの幾等か及び基板206の少量の上表面を二酸化シリコンへ変換させる短期間の酸化プロセスによって発生され、それはシリサイド化ポリシリコン層228の下側角部における誘電体完全性を著しく改善させている。

【0026】然しながら、本発明によれば、Si対Taの比が約2.5乃至約2.7であって、好適には約2.6の比を有するタンタルシリサイド膜でもって短期間の酸化ステップを使用することを可能とする技術が見つけた。この再酸化は図6に模式的に示した形状を発生させる。理解すべきことであるが、図6は寸法的に正確

13

なものと理解すべきものではなく、本改良プロセスの利点の視覚的な印象を伝えるものとして理解すべきである。層 226、234、236、232 の好適な厚さは上述したように図 4 の従来装置のものと同一のものとすることが可能である。トンネル酸化物層 226 の外側端部における酸化物厚さのみが変更されている。該再酸化はポリシリコン角部 278 をして側壁酸化物スパーサ 230 (それは本プロセスのその段階においては部分的にのみ形成されている) の境界から僅かに上方及び横方向 (図においては左側) へ離れる方向へ移動させる。同時に、領域 210 のシリコンの幾等かは二酸化シリコンへ変換され、シリコン表面を僅かに下方向へ及びポリシリコン角部 278 から離れる方向に移動させる。その結果、角部 278 において改良された誘電体即ち絶縁性の完全性が得られる。

【0027】本発明の改良点は、比較的低い温度で薄い多孔性酸化物を付着形成させることによってシリサイド化ポリシリコン層を取囲み、次いで異方性エッチングステップを使用してシリサイド化ポリシリコン層をパターン形成することによって達成される。好適には、多孔性酸化物は、400℃未満の温度において約 200 Å 乃至約 500 Å の厚さへ付着形成させる。次いで、短期間の再酸化ステップを軽度の表面ドーピングを伴って生のシリコンモニタウエハ上に二酸化シリコンを約 200 Å 成長させるのに十分な期間の間約 900℃の温度において実施する。このような再酸化ステップの期間は多孔性酸化膜下側の基板上に約 50 Å の酸化膜を成長させる。何故ならば、酸素は最初に多孔性酸化膜を貫通せねばならないからである。角部 278 の近傍においては幾分小さな  $\text{SiO}_2$  が成長される。シリサイド化ポリシリコンの上に薄い多孔性酸化物層が存在することは、実効的に、該シリサイドが酸素と反応することを禁止し「ホイスカ」が形成されることを回避するが、充分な酸素が多孔性酸化膜を貫通し角部 278 近くのポリシリコン層 234 の端部及び基板領域 210 の隣接表面上に充分な二酸化シリコンを成長させ、角部 278 の近傍においての該酸化膜の誘電即ち絶縁性の完全性を改良させる。その時点において、該酸化反応においてシリコンを消費することにより該酸化膜は実効的に一層厚くされ、角部 278 を上方へ移動させ且つその下側の基板表面を下方へ移動させる。該酸化は、更に、多孔性酸化膜の付着形成に続いて界面 276 に残存される場合のある僅かなギャップを充填させる。

【0028】このような低温の多孔性酸化膜の付着形成は、従来の装置及び公知の技術を使用して実施することが可能である。好適な酸化膜付着形成装置は、カリフォルニア州スコッツバレーのワトキンズ・ジョンソン (Watkins-Johnson) カンパニーから入手することが可能である。この会社の装置が低温酸化膜付着に対して広く使用されているので、結果的に得られる酸

14

化膜は、時折、WJ 酸化膜と呼ばれる。付着形成プロセスにおいて、 $\text{SiH}_4 + 2\text{O}_2 \rightarrow \text{SiO}_2 + 2\text{H}_2\text{O}$  の反応は 400℃と 500℃との間の温度、好適には約 430℃において行なわれる。

【0029】低温酸化膜付着形成ステップ及び再酸化ステップに続いて、基本的に従来の処理ステップが僅かに調節されて実施される。特に、再酸化ステップの後に、LDD 注入を実施するが、基板表面上の多孔性酸化物層及び再成長させた酸化物層を貫通することに対し補償させるために僅かに高いドーズ及びエネルギーを使用する。このことはトランジスタの箇所において LDD 領域を発生させる (図 3 のトランジスタ 102 の箇所における領域 116 等)。この LDD 注入は、単に、図 6 の既に存在している N 型領域 210、即ちトンネル動作用コンデンサ 204 の下側プレートに対して僅かな量のドーピングを付加させるに過ぎない。次いで、スパーサ酸化物層を約 5000 Å の厚さへ付着形成させる。この付着形成ステップは、公知の技術に従って供給源物質として TEOS (テトラエチルオルトシリケート) を使用して 700℃乃至 775℃の範囲内の比較的高い温度であって、好適には約 750℃の温度において実施される。次いで、異方性エッチングを実施してスパーサ 230 等の側壁酸化物スパーサを生成させる。理解されるように、スパーサ 230 の一部は多孔性の WJ 酸化膜から派生され且つ一部は TEOS 酸化膜から派生される。この点において、注入ステップを実施してソース領域及びドレイン領域を形成する (図 3 に示したトランジスタ 102 の領域 114 及び 112 等)。その後スタンダードの処理ステップを実施し、例えば図 6 に示したようなガラスパッシベーション層 232 を形成するステップを実施する。

【0030】前述した処理ステップは下側角部 278 の近傍においてシリサイド化ポリシリコン層 228 の外側端部における厚さを増加させた酸化物層を形成する。角部 278 とその下側に存在する基板領域 210 との間の酸化物厚さはトンネル酸化物層 226 の公称厚さよりも一層大きい。又、ポリシリコン層 234 の外側端部における酸化物の成長は、それらの間の界面 276 に沿って WJ 酸化膜の対面する端部に対して良好なシールを与えており、従ってトンネル酸化膜層 226 の周辺においての誘電性即ち絶縁性の完全性を改善している。再酸化の前に多孔性の付着形成させた酸化膜を使用することは、タンタルシリサイド 236 を「ホイスカ」現象を回避するためにタンタルシリサイド層内のシリコンと過剰に反応することを防止するのに充分に酸化性雰囲気へ露呈させることから保護している。その正味の結果は、角部 278 における電界集中が減少されており且つ該角部の下側において一層厚く短絡に対して耐久性のある酸化膜を有する構成を与えている。本発明の別の実施例によれば、図 2 の EEPROM メモリセル用の別のレイアウト



15

が図7に示されており且つ大略参照番号300で示してある。唯一の変化はトンネル動作用コンデンサの構成におけるものであるから、該変化によって影響されることのない部品を示すために同一の参照番号を使用している。メモリセル300の動作はメモリセル100に対して上述したのと同じである。

【0031】図7のメモリセル300はトンネル動作用コンデンサ382を有しており、実質的に正方形のトンネル酸化物層を点線のボックス384として示してある。上側コンデンサプレート386はトンネル酸化物層384の上側に位置しており且つ全て4つの側部においてトンネル酸化物層384を超えて横方向に延在している。上側コンデンサプレート386は、好適には、正方形であり且つトンネル酸化物層384と相対的に対称的に配設されている。上側コンデンサプレート386はストリップ388によって比較的大きな矩形状部分140へ接続している。大きな部分140、フィンガ延長部142、ストリップ388及び正方形のプレート386は一体的なシリサイド化ポリシリコン層のパーツ即ち一部を構成しており、それは、又、バイアス用トランジスタ148の上側コンデンサプレート及びフローティングゲートトランジスタ102のフローティングゲートとして作用する。好適には、トンネル酸化物層384の面積は約1.5平方ミクロンである。

【0032】図8を参照すると、トンネル動作用コンデンサ382の断面が上側コンデンサプレート386の段差の付いた形状を示している。トンネル酸化物層384は環状酸化物棚部390によって取囲まれており、棚部390はフローティングゲートトランジスタ102のゲート酸化膜120を形成する同一の薄い酸化物層から派生されている。上側コンデンサプレート386は薄い酸化物棚部390の上側に存在する周辺肩部386'を有している。側壁酸化物スペーサ392がフローティングゲートトランジスタ102のゲート構造の端部において側壁酸化物スペーサ124を形成する処理ステップにおいてトンネル動作用コンデンサ382の端部において形成される。

【0033】図9の拡大図を参照すると、上側コンデンサプレート386は下側のN型にドープしたポリシリコン層394と上側のタンタルシリサイド層396とを包含している。ポリシリコン層394の下側表面は内側角部398a及び外側角部398bを有している。第一酸化膜界面399aは内側角部398aの下側に存在しており且つ第二酸化膜界面399bは外側角部398bの下側に存在している。理解されるように、第二酸化膜界面399bは図4に示した従来装置の酸化膜界面176よりも約4倍高さが高い(即ち、酸化膜棚部390は約260Åの厚さであり且つトンネル酸化物層126は約65Å乃至70Åの厚さに過ぎない)。従って、図9の装置における外側角部398bにおける誘電性即ち絶縁

16

性の完全性は図4の従来装置における角部178におけるよりも著しく優れている。図6に関連して上述したような多孔性酸化物層を介しての再酸化プロセスを、図9の装置の角部398bにおける誘電性即ち絶縁性完全性を更に改善するために付加させることが可能であるが、このような付加的なプロセスは、側壁酸化物スペーサ392を形成するために使用したTEOS付着形成に対して良好な制御が維持される場合には必要のないものである。

【0034】理解されるように、第一酸化膜界面399aは図4に示した従来装置の酸化膜界面178と比較して優れた誘電性即ち絶縁性の完全性を有している。何故ならば、トンネル酸化物層384が環状酸化物棚部390によって形成されている窓内に成長されており、従って酸化物層384の端部が界面399aにおいて棚部390の内側壁に対して成長するからである。一方、トンネル酸化物層126の端部はエッチングステップによって形成され、且つスペーサ130を形成するために使用される酸化物は図4の従来装置における界面176を画定するために付着形成される。従って、成長する酸化物層384の酸化物棚部390の内側壁に対するシール即ち封止効果は影響を受け易い界面399aにおいて優れた誘電性即ち絶縁性の完全性を与えている。

【0035】本発明の別の実施例によれば、スタックトゲート即ち積層ゲート構造を有するEEPROMメモリセルが図10-12に示されており且つ大略参照番号400で示してある。特に図10を参照すると、フローティングゲートトランジスタ402が画定されており、その場合に二重ポリスタックトゲート層443が別々のN型領域452及び454を包含する活性区域450を横断して延在している。活性区域450は厚いフィールド酸化膜408の部分の間に画定されている。トンネル動作用コンデンサ471がフィールド酸化膜408によって画定されている正方形の領域455内に形成されている。領域455はN型にドープされており且つN型通路457によってトランジスタ領域454へ接続している。フローティングゲート443の延長部459はメモリアレイを貫通して走行しており、同一の行内のメモリセル(不図示)に対するプログラム線を与えている。プログラム線延長部459は、好適には、スタックトゲート即ち積層ゲート導体の第二導電性レベルのみを包含している。

【0036】メモリセル400の付加的な構造的特徴について図11及び12の断面図を参照して説明する。フローティングゲートトランジスタ402はゲート酸化物層420上方に形成したポリシリコンからなるフローティングゲート461を有している。シリサイド化ポリシリコン制御ゲート463が好適には酸化物・窒化物・酸化物(ONO)層であって約200Åの厚さを有するものから構成されている中間複合誘電体層465によって

17

分離されているフローティングゲート461上方のスタックト即ち積層構成体内に形成されている。層465は、約100Åの二酸化シリコンを付着形成し、次いで約100Åの窒化シリコンを付着形成し、次いで該装置を酸化性雰囲気中に露呈させて該窒化物層の頂部約10Åを酸化させることによって形成される。シリサイド化ポリシリコン層463は、好適には、下側のN型ポリシリコン層と上側のタンタルシリサイド層とを有している（それらは、図面中においては別々に示してはいない）。フローティングゲートトランジスタ402は、更に、ドレイン412及びソース領域414を有しており、従来のLDD延長部がスタックトゲート下側にチャンネルを画定している。従来の側壁酸化物スペーサ424も設けられている。従来の厚いガラスパッシベーション層432が該構成を被覆している。種々の層に対する厚さ寸法は同様の層に対して上述したものと同様である。フローティングゲート461は、好適には、N型ポリシリコンであって、それは約2000Åの厚さである。

【0037】特に図12を参照すると、基板406の活性区域部分が示されており、それは厚いフィールド酸化膜408によって画定されている。図12の構造の右側部分はトンネル動作コンデンサ471のサイト即ち箇所を画定しており、それはN型領域410、極めて薄いトンネル酸化物層484、周りの薄い酸化物層部490、フローティングゲートトランジスタ402のフローティングゲート461を画定している第一レベルポリシリコン層の一部473を包含している。該極めて薄いトンネル酸化物層484は、好適には、フローティングゲートトランジスタのゲート酸化膜420に対応する薄い酸化物層部490を貫通して切断された窓内に65Å乃至70Åの厚さへ成長される。この薄い酸化物層部490は、好適には、厚さが約260Åであり且つ極めて薄いトンネル酸化物層484を完全に取囲んでいる。ONO層465は、好適には、約200Åの厚さであるが、導電層461及び463によって画定されるバイアス用コンデンサの所望の容量値を確立するために厚さを調節することが可能であり、ONO層465は該コンデンサの誘電体として作用する。

【0038】メモリセル400は、更に、前述したメモリセルの選択トランジスタ14及び160と同様の態様でフローティングゲートトランジスタ402と直列に配設されている選択トランジスタ（不図示）を包含している。従って、当業者にとって明らかなように、二重ポリメモリセル400は、上述した単一ポリメモリセル100及び300と同様の態様でプログラムさせ且つ動作させることが可能である。然しながら、メモリセル400はメモリセル100及び300よりもより高い密度のレイアウトで実現させることが可能である。

18

【0039】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 従来のEEPROMメモリセルを示した回路図。

【図2】 従来のEEPROMメモリセルのレイアウトを示す概略平面図であって、ドープ領域は、図中において導電層によって被覆されていない場合には完全なハッチングで示してあり且つ被覆されている場合には点線のハッチングで示してある。

【図3】 図2の3-3線に沿ってとった概略断面図を示しており、ある部分は説明の便宜上誇張して示してある。

【図4】 図3に示した構造の一部を拡大して示した概略拡大図。

【図5】 図2のEEPROMメモリセルを示した概略回路図。

【図6】 図4に示した従来のEEPROMメモリセルの部分に対応する位置において本発明の1実施例に基づいて製造したEEPROMメモリセルの一部を示した概略断面図であって、ある部分は説明の便宜上誇張して示してある。

【図7】 本発明の別の実施例に基づくEEPROMメモリセルのレイアウトを示した概略平面図。

【図8】 図7の8-8線に沿ってとった概略断面図を示しており、ある部分は説明の便宜上誇張して示してある。

【図9】 図8に示した構造の一部を拡大して示した概略拡大図。

【図10】 本発明の別の実施例に基づくEEPROMメモリセルのレイアウトを示した概略平面図。

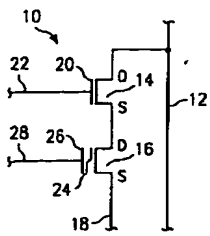
【図11】 図10の11-11線に沿ってとった概略断面図を示しており、ある部分は説明の便宜上誇張して示してある。

【図12】 図10の12-12線に沿ってとった概略断面図を示しており、ある部分は説明の便宜上誇張して示してある。

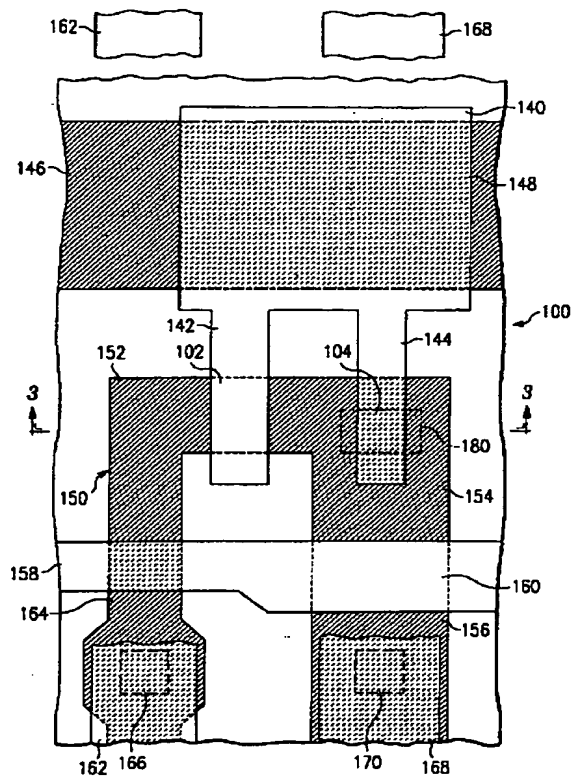
【符号の説明】

- 206 基板
- 210 N型領域
- 226 トンネル酸化物層
- 228 シリサイド化ポリシリコン層
- 230 側壁酸化物スペーサ
- 234 ポリシリコン層
- 276 境界
- 278 丸められた角部

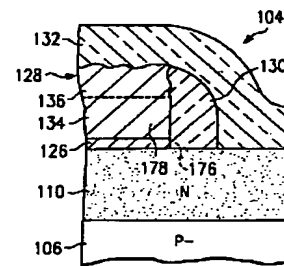
【図 1】



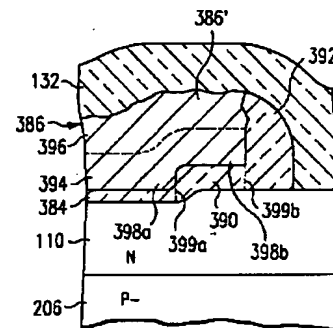
【図 2】



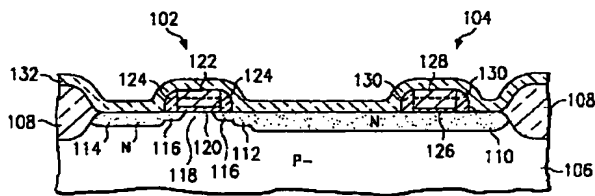
【図 4】



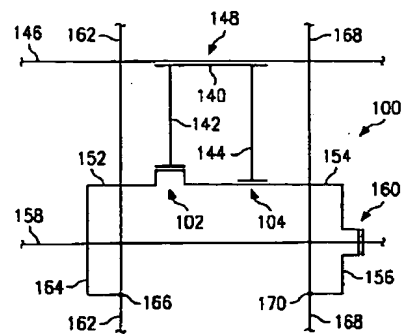
【図 9】



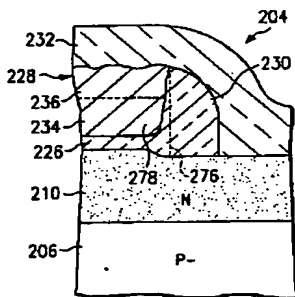
【図 3】



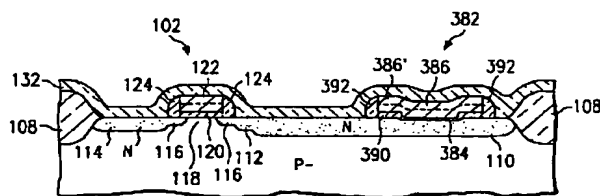
【図 5】



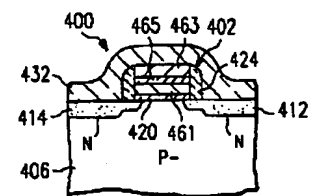
【図 6】



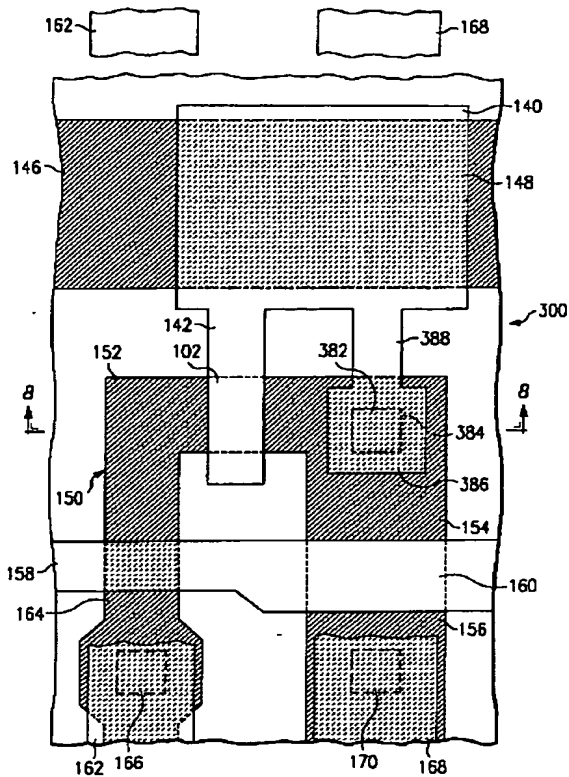
【図 8】



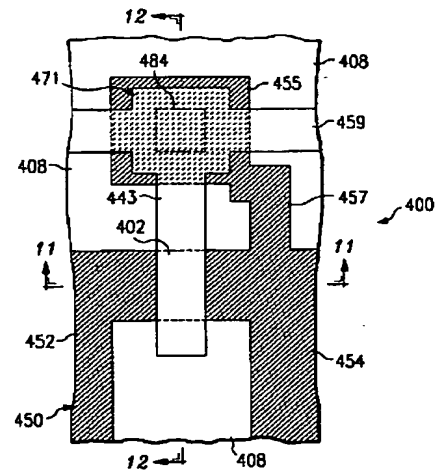
【図 1 1】



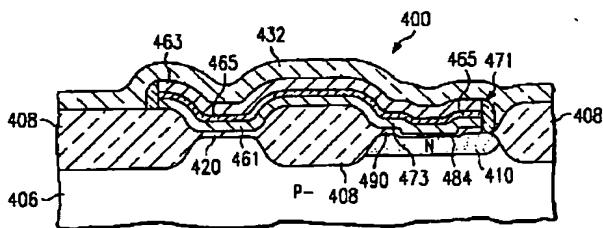
【図 7】



【図 10】



【図 12】



フロントページの続き

(72) 発明者 ペルベツ エイチ. サガルワラ  
アメリカ合衆国, テキサス 75052,  
グランド プレリー, ベント ツリー  
トレイル 4617

(72) 発明者 ロイ ニューエン  
アメリカ合衆国, テキサス 75007,  
カーロルトン, ブライトン 1724